

SUSU-1-21795

DELPHION

Select CR

Stop Tracking

RESEARCH

PRODUCTS

INSIDE DELPHION

Log Out Work Files Saved Searches

My Account

Search: Quick/Number Boolean Advanced Derwent Help

The Delphion Integrated View

Get Now: ☒ PDF | [File History](#) | [Other choices](#)

Tools: Add to Work File: [Create new Work File](#)

Add

View: [INPADOC](#) | Jump to: Top

☒ Email this to a friend

Title: **JP06052070A2: DEVICE AND METHOD FOR DATA PROTECTION IN INTEGRATED CIRCUIT**

Country: JP Japan

Kind: A

Inventor: FUJIMOTO TERUHISA;
SUDO HIDEHIKO;

Assignee: TOSHIBA CORP
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 1994-02-25 / 1993-03-10

Application Number: JP1993000049538

IPC Code: Advanced: [G06F 11/22](#); [G06F 12/16](#);
Core: more...
IPC-7: [G06F 11/22](#); [G06F 12/16](#);

Priority Number: 1992-05-29 JP1992000139420

Abstract: PURPOSE: To surely save internal state data to external memory when power interruption occurs by restoring data saved via a scan pass to an original register.

CONSTITUTION: A counter 4 counts a scan clock SC, and outputs the address A of the external memory 3 in which the data outputted from an integrated circuit 2 is stored. The integrated circuit 2 outputs the internal state data from a scan output terminal SO synchronizing with the scan clock SC, and such data is supplied to the data input terminal D1 of the external memory 3, and is stored in an address-designated position by the counter 4. In other words, the internal state data transferred synchronizing with the scan clock SC by utilizing the scan pass of the integrated circuit 2 can be outputted from the scan output terminal SO and it can be saved to the external memory 3. Thence, when the power source of a system is restored, the data restoration mode of resume function is set, and the system restores saved internal state data to the integrated circuit 2.

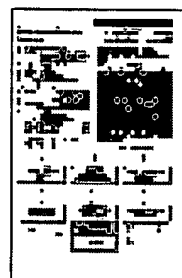
COPYRIGHT: (C)1994,JPO&Japio

Family: None

Forward References: Go to Result Set: Forward references (1)

PDF	Patent	Pub.Date	Inventor	Assignee	Title
	US6985980	2006-01-10	Allegrucci; Jean-Didier	Xilinx, Inc.	Diagnostic scheme for programmable logic in a system on a chip

Other Abstract Info: None



[View Image](#)

1 page



[Nominate this for the Gallery...](#)



THOMSON

Copyright © 1997-2006 The Thomson Corporation

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-52070

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/16	3 4 0 Q	7629-5B		
11/22	3 6 0 P	8323-5B		

審査請求 未請求 請求項の数4(全12頁)

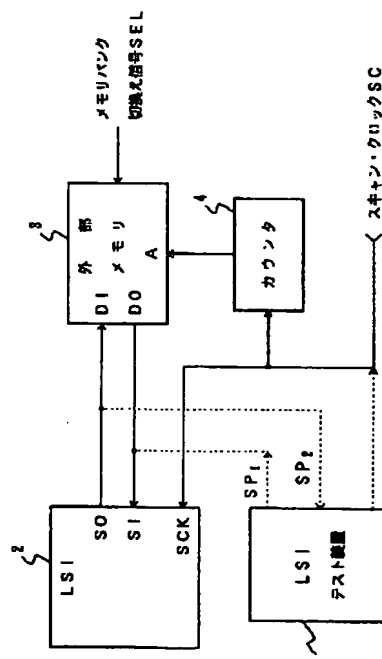
(21)出願番号	特願平5-49538	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成5年(1993)3月10日	(72)発明者	藤本 曜久 東京都青梅市末広町2丁目9番地 株式会 社東芝青梅工場内
(31)優先権主張番号	特願平4-139420	(72)発明者	須藤 英彦 東京都青梅市末広町2丁目9番地 株式会 社東芝青梅工場内
(32)優先日	平4(1992)5月29日	(74)代理人	弁理士 鈴江 武彦
(33)優先権主張国	日本(JP)		

(54)【発明の名称】 集積回路のデータ保護装置およびデータ保護方法

(57)【要約】

【目的】 内部状態データを保持した多数の各種レジスタを有する集積回路において、電源中断時に内部状態データを確実に外部メモリに退避させて、電源中断時のデータ保護を実現することができる集積回路のデータ保護装置を提供することにある。

【構成】 データ退避モード時に、スキャンバスを通じて集積回路2に設けられたスキャン出力端子SOから内部状態データを読み出し、外部メモリ3に格納する。データ復帰モード時に、外部メモリ3に退避していた内部状態データを読み出し、集積回路2に設けられたスキャン入力端子SIから入力し、スキャンバスを通じて復帰する。



【特許請求の範囲】

【請求項1】 スキャンバスを形成するように接続された複数のレジスタと、

外部信号に応答し、データ退避モード時に、前記複数のレジスタにスキャンバスを形成させ、形成されたスキャンバスを介して各レジスタの保持データを外部に読み出すデータ退避手段と、

外部信号に応答し、データ復帰モード時に、前記複数のレジスタにスキャンバスを形成させ、形成されたスキャンバスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰手段、を具備したことを特徴とする集積回路。

【請求項2】 データ退避モード時に、集積回路内の複数のレジスタにスキャンバスを形成させ、形成されたスキャンバスを介して各レジスタの保持データを外部に読み出し、読みだしたデータを保護用メモリに保存するデータ退避工程と、

データ復帰モード時に、前記保護用の保存データを読み出すと共に前記複数のレジスタにスキャンバスを形成させ、形成されたスキャンバスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰工程、を具備したことを特徴とする集積回路の内部レジスタの保持データの退避・復帰方法。

【請求項3】 集積回路の内部に構成されるスキャンバスを使用して回路テストを行なうスキャン方式を利用する集積回路のデータ保護装置において、

データ退避モード時に前記集積回路の内部状態データを格納するデータ保護用メモリ手段と、

前記集積回路に対する所定のビット幅のデータの入出力を行なうためのデータ入出力手段と、

前記データ退避モード時に、前記スキャンバスを通じて読出された前記内部状態データを前記所定のビット幅のデータに直列／並列変換し、前記データ入出力手段を通じて前記データ保護用メモリ手段に格納するデータ退避手段と、

データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出して前記データ入出力手段から入力し、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンバスを通じて復帰するデータ復帰手段とを具備したことを特徴とする集積回路のデータ保護装置。

【請求項4】 集積回路の内部に構成されるスキャンバスを使用して回路テストを行なうスキャン方式を利用する集積回路のデータ保護方法において、

データ退避モード時に前記集積回路の内部状態データをデータ保護用メモリ手段に記憶するステップと、

前記集積回路に対する所定のビット幅のデータの入出力を行なうステップと、

前記データ退避モード時に、前記スキャンバスを通じて読出された前記内部状態データを前記所定のビット幅の

データに直列／並列変換し、前記データ保護用メモリ手段に記憶して退避するステップと、

データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出しし、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンバスを通じて復帰するステップとからなることを特徴とするデータ保護方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンピュータ等に使用される集積回路の内部状態データを保護するための集積回路のデータ保護装置に関する。

【0002】

【従来の技術】 パーソナルコンピュータ等のコンピュータシステムにおいては、レジューム機能を備えるものが多い。レジューム機能は、コンピュータの電源がオフされたとき、各種レジスタの記憶データを不揮発性メモリに退避し、電源が再びオンされたときに、退避していた記憶データを元のレジスタに設定し、電源オフの直前の状態からデータ処理を実行可能とする機能である。

【0003】

【発明が解決しようとする課題】 しかし、従来では、退避すべきデータが大量にある場合、データの退避に時間がかかる。このため、スイッチをオフしてから実際にコンピュータがオフされるまでの時間が異常に長くなったり、場合により、データを完全に退避できないという問題があった。

【0004】 例えば、グラフィック・コントローラ等の、従前の状態に依存して次の状態に移移するいわゆるステートマシンは、テンポラリレジスタや制御用レジスタ等の各種レジスタを内部に多数有する集積回路（LSI）を使用する。このため、集積回路の内部状態データを退避するときに、データ転送に時間がかかり過ぎ、レジューム機能が実現できない場合がある。

【0005】 本発明の目的は、上記実情に鑑みてなされたもので、多数のレジスタを有する集積回路において、電源中断時に内部状態データを確実に外部メモリに退避させることができる集積回路のデータ保護装置を提供することにある。本発明の他の目的は、内部レジスタの保持データを高速に退避させることができる集積回路を提供することにある。

【0006】

【課題を解決するための手段】 上記目的を達成するため、請求項1記載の集積回路は、スキャンバスを形成するように接続された複数のレジスタと、外部信号に応答し、データ退避モード時に、前記複数のレジスタにスキャンバスを形成させ、形成されたスキャンバスを介して各レジスタの保持データを外部に読み出すデータ退避手段と、外部信号に応答し、データ復帰モード時に、前記複数のレジスタにスキャンバスを形成させ、形成された

10

20

30

40

50

3

スキャンバスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰手段、を具備する。

【0007】また、請求項2記載の方法は、データ退避モード時に、集積回路内の複数のレジスタにスキャンバスを形成させ、形成されたスキャンバスを介して各レジスタの保持データを外部に読み出し、読みだしたデータを保護用メモリに保存するデータ退避工程と、データ復帰モード時に、前記保護用の保存データを読み出すと共に前記複数のレジスタにスキャンバスを形成させ、形成されたスキャンバスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰工程、を具備する。

【0008】さらに、請求項3記載の装置は、データ退避モード時に集積回路の内部状態データを格納するデータ保護用メモリ手段と、前記集積回路に対する所定のビット幅のデータの入出力を行なうためのデータ入出力手段と、前記データ退避モード時に、前記スキャンバスを通じて読出された前記内部状態データを前記所定のビット幅のデータに直列／並列変換し、前記データ入出力手段を通じて前記データ保護用メモリ手段に格納するデータ退避手段と、データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出して前記データ入出力手段から入力し、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンバスを通じて復帰するデータ復帰手段を具備する。

【0009】また、請求項4記載の方法はデータ退避モード時に集積回路の内部状態データをデータ保護用メモリ手段に記憶するステップと、前記集積回路に対する所定のビット幅のデータの入出力を行なうステップと、前記データ退避モード時に、前記スキャンバスを通じて読出された前記内部状態データを前記所定のビット幅のデータに直列／並列変換し、前記データ保護用メモリ手段に記憶して退避するステップと、データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出しし、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンバスを通じて復帰するステップを備える。

【0010】

【作用】請求項1ないし4記載の発明によれば、データ退避時及びデータ復帰時にデータはレジスタから構成されるスキャンバス（シフトレジスタ）内を順次転送されて外部に読み出され、或いは、元のレジスタにセットされる。従って、内部レジスタの数が多い場合でも、短時間に保持データを退避・復帰できる。

【0011】

【実施例】以下図面を参照して本発明の実施例を説明する。

【0012】図1は第1の実施例に係るデータ保護装置の構成を示すブロック図である。本装置は、LSIテスト装置1、集積回路（LSI）2、外部メモリ3およびカウンタ4を有する。集積回路2の内部レジスタの保持

4

データが、本実施例における退避・保護の対象となる。

【0013】LSIテスト装置1はスキャンバス方式により、集積回路2内のスキャンバスを利用して、集積回路2をテストする装置である。集積回路2は、内部に有する一連のレジスタ（フリップフロップ）により構成されるスキャンバス（シフトバス回路）を有し、例えばグラフィックコントローラ等のステートマシンに使用されるLSI（大規模集積回路）である。集積回路2は、例えば、図示せぬコンピュータシステムのプロセッサ（CPU）により制御される。

【0014】外部メモリ3は、例えば、バッテリーによりバックアップされたRAMであり、リジューム機能のデータ退避モード時に、集積回路2の内部データの退避先となる。外部メモリ3は不揮発性メモリでもよい。カウンタ4の出力データは外部メモリ3にアドレスAとして供給される。カウンタ4はスキャン・クロックSCに同期してカウント値を更新する。次に、図1のデータ保護装置の動作を図3のフローチャートを参照して説明する。

【0015】通常のテストモード（集積回路2のテスト）では、LSIテスト装置1は、集積回路2のスキャン制御端子SCに指示信号を供給して内部レジスタをシリアルに接続してスキャンバスを形成すると共にスキャン・クロック端子SCKにスキャン・クロックSCを入力し、スキャンバス方式のテストを実行する（ステップS1のYES）。LSIテスト装置1は、集積回路2のスキャン入力端子SIを通じて、シリアルデータであるテストデータ（スキャンバスデータSP1）をスキャン・クロックSCに同期して供給する（ステップS2）。

【0016】一方、LSIテスト装置1は、集積回路2のスキャン出力端子SOを介して、テストデータに応じた出力データ（スキャンバスデータSP2）を、スキャン・クロックSCに同期して受信する（ステップS3）。このスキャンバスデータSP2と予め用意された基準データとを比較し、集積回路2の回路テストを実行する。

【0017】次に、集積回路2を含むシステムの電源が中断し、かつ、リジューム機能が設定されており、集積回路2の内部状態データを外部メモリ3に退避する場合（ステップS1のNO）の動作を説明する。リジューム機能のデータ退避モードでは、システムのCPUが集積回路2の通常動作を中断させる（ステップS4のYES、S5）。なお、データ退避モードは、リジューム機能だけでなく、タスク切換え、割り込み処理等の場合にも実行される。

【0018】CPUは、集積回路2のスキャン制御端子SCに指示信号を供給して内部レジスタをシリアルに接続してスキャンバスを形成させると共にスキャン・クロック端子SCKにスキャン・クロックSCを供給させ、かつ、スキャン・クロックSCをカウンタ4に供給して

起動させる(ステップS6)。カウンタ4はスキャン・クロックSCをカウントして、集積回路2から出力されるデータを格納する外部メモリ3のアドレスAを出力する。

【0019】集積回路2は、スキャン・クロックSCに同期して、スキャン出力端子SOから内部状態データを出力する。この内部状態データは外部メモリ3のデータ入力端子DIに供給され、外部メモリ3のカウンタ4によりアドレス指定された位置に格納される(ステップS7)。

【0020】即ち、集積回路2のスキャンバスを利用して、スキャン・クロックSCに同期して転送される内部状態データをスキャン出力端子SOから出力させて、外部メモリ3に退避させる。外部メモリ3はバッテリによりバックアップされているため、集積回路2の内部状態データは、システムの電源オフの間も、確実に保存される。

【0021】なお、外部メモリ3の記憶容量に余裕がある場合、CPUがメモリバンク切換え信号SELを外部メモリ3に出力して、外部メモリ3のバンク切換え制御を行なうようにしてもよい。これにより、外部メモリ3の通常のデータ処理に使用されるメモリバンクとは別のメモリバンクに内部状態データを格納することが可能となる。また、外部メモリ3のバンクをタスク切換えに応じて切り換えると、複数のタスクが共有する1つのLSIの内部状態データをタスク毎に対応するメモリバンクに格納できる。

【0022】次に、システムの電源が復帰すると、リジューム機能のデータ復帰モードとなり、システムは退避された内部状態データを集積回路2に復帰させる処理を行なう(ステップS8のYES)。システムのCPUはカウンタ4をプリセットし、スキャン・クロックSCを供給して起動させ、そのカウント値を更新させる(ステップS9)。カウンタ4のプリセット値は、データ退避モード時に内部状態データを格納した外部メモリ3のアドレスAである。また、CPUは外部メモリ3を読み出しモードに設定する。

【0023】外部メモリ3は、カウンタ4から供給されるアドレスにより指定される記憶位置からデータを読みだし、データ出力端子DOに出力する。この出力データは集積回路2のスキャン入力端子SIに供給させる(ステップS10)。集積回路2はスキャン・クロックSCに同期して、スキャン入力端子SIに供給される内部状態データを入力し、スキャンバス上をシフトする。すべてのデータが元のレジスタにセットされた時点で、CPUはスキャンクロックのSCの供給を停止し、さらに、スキャン制御SCに供給していた指示信号の供給を停止し、内部レジスタを通常状態に設定し、スキャンバスを解消する。以上のようにして、集積回路2内のレジスタのデータの退避および復帰がスキャンバスを用いて実現

できる。

【0024】図2はこの発明の第2の実施例に係わるデータ保護装置の構成を示すブロック図である。第2の実施例は、集積回路2のデータ退避およびデータ復帰の各モードを、システムのI/Oポート5に接続されるデータバス(例えば8ビット幅)6を利用して実行する。

【0025】集積回路2は、具体的には図2に示すように、マルチプレクサ7、20、21—連のレジスタR1~Rn、内部制御回路8、カウンタ9、P/S回路10およびデータ入出力端子12を通じてシステムのデータバス6に接続された内部データバス11、バッファ回路13を有する。

【0026】レジスタR1~Rnはスキャンバスを構成する一連のシフトレジスタまたはフリップフロップである。レジスタR2、R3は、タスク切換え時には内部状態を保持する必要のないフリップフロップであると仮定する。

【0027】レジスタR1~Rnには、内部制御回路8からのスキャンバス制御信号とスキャンクロック端子SCからのスキャンクロック信号SCKが供給される。レジスタR1~Rnは通常用のデータ入力端と出力端と共にスキャンバス用のデータ入力端と出力端を有し、スキャンバス制御信号がオフの時は、通常の動作を可能とするために所定の論理回路を構成するように接続された通常用の入出力端子が有効となり、スキャンバス制御信号がオンの際は、レジスタR1~Rnからなるスキャンバスを形成するために図2に示すようにシリアルに接続されたスキャンバス用の入出力端子が有効となる。8個のレジスタRn-7~Rn スキャンバス用の出力端はバッファ13に供給される。バッファ13は、内部制御回路8からの制御信号にตอบสนองして、スキャンバス上の8ビットデータを内部データバス11にパラレルで出力する。

【0028】マルチプレクサ20は、内部制御回路8からの切り換え信号にตอบสนองして、レジスタR1から供給されるデータをレジスタR2とマルチプレクサ21の一方に供給する。また、マルチプレクサ21は、切り換え信号にตอบสนองして、レジスタR3から供給されるデータとマルチプレクサ21から供給されるデータの一方をレジスタR4に供給する。

【0029】マルチプレクサ7は、内部制御回路8からの制御信号にตอบสนองして、スキャン入力端子SIから供給されるテストデータとP/S(パラレル/シリアル)変換回路から供給される内部状態データの一方を選択して出力する。

【0030】内部制御回路8は、制御端子22を介してシステムのCPUと接続されており、各種信号をレジスタ、マルチプレクサに供給すると共に、CPUが集積回路2をアクセスするタイミングを制御する。

【0031】カウンタ9は、スキャン・クロック端子SCKに供給されるスキャン・クロックSCによりカウン

ト動作を行い、カウント値を内部制御回路8とP/S回路10に供給する。

【0032】P/S回路10は、並列/直列変換回路であり、内部データバス11を通じて復帰されるパラレルデータを、カウンタ9のカウント値に回答して、シリアルデータに変換する。バッファ13は、レジスタR_{n-7}～R_nの出力データ(8ビット)を内部制御回路8からの制御信号に回答して、内部データバス11上に出力する。次に、第2実施例にかかる回路の動作を図4を参照して説明する。

(1) 通常動作時は、図2に示されるスキャンバスは機能せず、各レジスタは必要な論理回路を構成すべく動作する。

【0033】(2) 通常のテストモードでは、CPUは内部制御回路8に制御データを供給し、スキャンバスの形成を指示する。この制御データに回答し、内部制御回路8は、レジスタR1乃至R_nに制御信号を供給してスキャンバスを形成させ、さらに、マルチプレクサ20にデータをレジスタR2に供給させ、マルチプレクサ21にレジスタR3の出力を選択させる。

【0034】その後、CPUは、LSIテスト装置1にテストの開始を指示する。この指示に回答し、LSIテスト装置1は集積回路2のスキャン・クロック端子SCにスキャン・クロックSCを入力し、スキャン方式のテスト処理を実行する(ステップS20のYES)。即ち、LSIテスト装置1は、集積回路2のスキャン入力端子S1に、テストデータ(スキャンバスデータSP1)をスキャン・クロックSCに同期してシリアルに供給する(ステップS21)。マルチプレクサ7は、内部制御回路8からの制御信号に回答して、スキャン入力端子S1から供給されるテストデータを、レジスタR1～R_nから構成されるスキャンバスへ出力する。レジスタR1～R_nはスキャン・クロックSCに同期して供給されたデータを取り込み、また、保持データを出力する。

【0035】LSIテスト装置1は、集積回路2のスキャン出力端子SOから、テストデータに応じた出力データ(スキャンバスデータSP2)を、スキャン・クロックSCに同期して受信する(ステップS22)。このスキャンバスデータSP2と予め用意された基準データとを比較し、集積回路2の回路テストを実行する。

【0036】(3) レジューム機能がオンされた状態で、集積回路2を含むシステムの電源が中断されると(ステップS20のNO)、集積回路2の内部状態データを退避する処理が実行される(ステップS23のYES)。

【0037】より詳細には、CPUは内部制御回路8に制御データを供給し、データの退避を指示する。内部制御回路8は、レジスタR1乃至R_nに制御信号を供給してスキャンバスを形成させ、さらに、マルチプレクサ20にデータをレジスタR2に供給させ、マルチプレクサ

21にレジスタR3の出力を選択させる。さらに、内部制御回路8はカウンタ4を起動する。

【0038】CPUはLSIテスト装置1にスキャン・クロックSCを出力させる。カウンタ4は、8進カウンタであり、スキャン・クロックSCを8クロックカウントする度に内部制御回路8に信号を出力する。内部制御回路8は、カウンタ4からのカウント値に回答してバッファBを制御し、8スキャン・クロック毎にレジスタR_{n-7}からR_nの出力を内部データバス11に出力させる。即ち、スキャンバスを転送されるシリアル内部状態データは8ビットのパラレルデータに変換され、内部データバス11に出力される(ステップS24)。また、内部制御回路8は8スキャンクロック毎にCPUにアクセスタイミングを通知する。

【0039】集積回路2の内部データバス11およびデータ入出力端子12を通じて読出された内部状態データは、システムのデータバス6に出力される。CPUは、内部制御回路8から供給されるタイミング信号に回答して、データバス6上のデータを外部メモリ3に対応するI/Oポート5に送出する(ステップS25)。CPUは、I/Oポート5に読出した内部状態データを外部メモリ3に格納する(ステップS26)。CPUは予め用意されたステータスレジスタによるチェック処理または割込み処理等により、集積回路2からの内部状態データの読出し終了を制御する。

【0040】このようにして、システムの電源が中断する以前に、集積回路2に保持されている内部状態データを外部メモリ3に退避させることができる。外部メモリ3はバッテリーによりバックアップされているため、退避された集積回路2の内部状態データを確実に保存する。

【0041】システムの電源が復帰されると、システムは退避させた内部状態データを集積回路2に復帰させる処理を行なう(ステップS27のYES)。CPUは外部メモリ3に退避させた内部状態データを、データ退避モード時に読出した順番で8ビットづつに割りI/Oポート5に一時的に保持させる(ステップS28)。また、CPUは、スキャン・クロックSCを供給してカウンタ4を起動させる。

【0042】CPUはI/Oポート5に保持された内部状態データを8ビット単位で、システムのデータバス6およびデータ入出力端子12を通じて集積回路2の内部データバス11に入力させる。P/S回路10は、内部データバス11に入力されたパラレル内部状態データをラッチする。カウンタ9は8進カウンタであり、スキャン・クロックSCのクロック数をカウントし、カウント出力をP/S回路10に供給する。P/S回路10は、カウント出力に応じて、ラッチした8ビットパラレルデータをシリアルデータに変換する(ステップS29)。

【0043】マルチプレクサ7は、P/S回路10から

供給されるシリアル内部状態データをレジスタR1～Rnからなるスキャンバスへ出力する(ステップS30)。レジスタR1～Rnは、スキャン・クロックSCに同期して、供給されたデータをシフトする。即ち、集積回路2にはスキャンバスを利用して、外部メモリ3に退避された内部状態データを元のレジスタに復帰する。CPUはステータスレジスタによるチェック処理または割込み処理等により、退避されたデータが元のレジスタに再設定された時点で、内部状態データの書き込み(復帰)処理を終了する。

【0044】このようにして、スキャンバスおよびデータバスを利用して、電源中断時に、内部状態データを退避し、電源復帰時に退避した内部状態データを復帰できる。したがって、集積回路2の各レジスタを順番にアドレスして、その保持値を読み出す場合に比較して、内部状態データを、高速かつ確実に読みだし、退避させることができる。従って、レジスタ数が多い場合でも、短時間に、内部データを退避できる。

【0045】(4)タスク切り換え時の動作は、マルチプレクサ20がデータをマルチプレクサ21に供給し、マルチプレクサ21がマルチプレクサ20の出力データを選択する以外は、前述のデータ退避・復帰時の動作と同一である。

次にこの発明の第3実施例を図5ないし図8を参照して説明する。

【0046】この実施例は、本願発明をマイクロプロセッサに適用した例である。図5において、符号111は、バスインターフェースであり、外部回路との間で命令とデータなどの授受を行う。符号112は命令バッファであり、バスインターフェース111によって取り込まれた命令を保持する。符号113はデコーダであり、命令バッファ112に保持されている命令をデコードし、制御信号を生成する。符号114は実行ユニットであり、デコーダ113でデコードされた命令を実行する。符号115はステートコントローラであり、マイクロプロセッサ全体の制御を行う。符号116はインタフェース用の信号であり、アドレス、データ、制御信号を含む。

【0047】図5の実効ユニット114及びステートコントローラ115内にあるレジューム動作に必要な状態情報ならびにデータを保持するレジスタ121は図6に示すように、直列に接続する。各レジスタ121には、通常動作用のデータ入力(D)、クロック入力(CP)、データ出力(Q)の他にシリアルデータ入力(SI)、シリアルデータ出力(SD)、スキャンロック入力(A、B)を有する。

【0048】通常動作では、A=B="H"とし、レジスタ121はクロックCPの立上がりエッジで動作する。このとき、SI入力の値は動作に影響を与えない。一方、スキャン動作時はCP="H"とし、A=負バ

スでデータを取り込み、B=正パルスでデータを出力する。この時D入力の値は動作に影響を与えない。シフトレジスタ121の動作を、図7にタイミングチャートの形式で、図8に真理値表の形式で示す。

【0049】図5のインタフェース信号116のコントロール信号の1つにリジューム要求信号があり、外部回路からレジューム要求が本マイクロプロセッサに入力されると、ステートコントローラ115は、マイクロプロセッサの通常動作を停止し、レジューム動作を開始する。

【0050】インタフェース信号116のデータ信号は、シリアルデータアウト(図6のレジスタnのSD出力)を含んでおり、まず、この値をバスインターフェース111に接続された外部メモリ(図示せず)に保存する。次に、ステートコントローラ115は、クロックCPを"H"に固定し、クロックAとBを使って、直列接続されたレジスタの保持データをシフトする。即ち、レジスタ(i-1)の値をレジスタ(i)に移す(iは1ないしn)。この動作を必要回数繰り返すことによって、直列接続されたレジスタの値をすべて外部メモリに保存する。

【0051】以上の動作によって、すべてのレジスタの保持データを退避し終えた後、マイクロプロセッサはHALT状態に入り、それを示すHALT信号をバスインターフェース111を介して外部に出力する。このHALT信号を外部回路で検出すれば、装置の電源を切断し、装置を停止させることができる。

【0052】装置に電源が再投入されると、マイクロプロセッサはレジスタ退避時と同様な手法を用いて外部メモリに退避されていたデータを、レジスタ121のSI入力に順次供給し、シフトレジスタ内を順次転送させる。すべてのレジスタにデータが復帰すると、レジューム動作を終了し、通常動作に復帰する。

【0053】

【発明の効果】以上詳述したように本発明によれば、集積回路のスキャン方式のテスト回路として使用されるスキャンバスを利用して、電源中断時に内部状態データを確実に退避させ、かつ電源復帰時に内部状態データを集積回路に復帰させることができる。したがって、多数の各種レジスタが設けられた集積回路の内部状態データを、高速かつ確実に退避させることが可能となるため、集積回路のデータを確実に保護することができる。また、複数の内部状態を保持すれば、複数のタスクから1つのLSIをアクセスすることが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る集積回路のデータ保護装置の構成を示すブロック図。

【図2】本発明の第2の実施例に係る集積回路のデータ保護装置の構成を示すブロック図。

【図3】第1の実施例の動作を説明するためのフローチ

10

20

30

40

50

ャート。

【図4】第2の実施例の動作を説明するためのフローチャート。

【図5】本発明の第3の実施例に係る集積回路の構成を示すブロック図。

【図6】図5に示す集積回路のレジスタの構成を示すブロック図。

【図7】第6に示すレジスタの動作を説明するためのタイミングチャート。

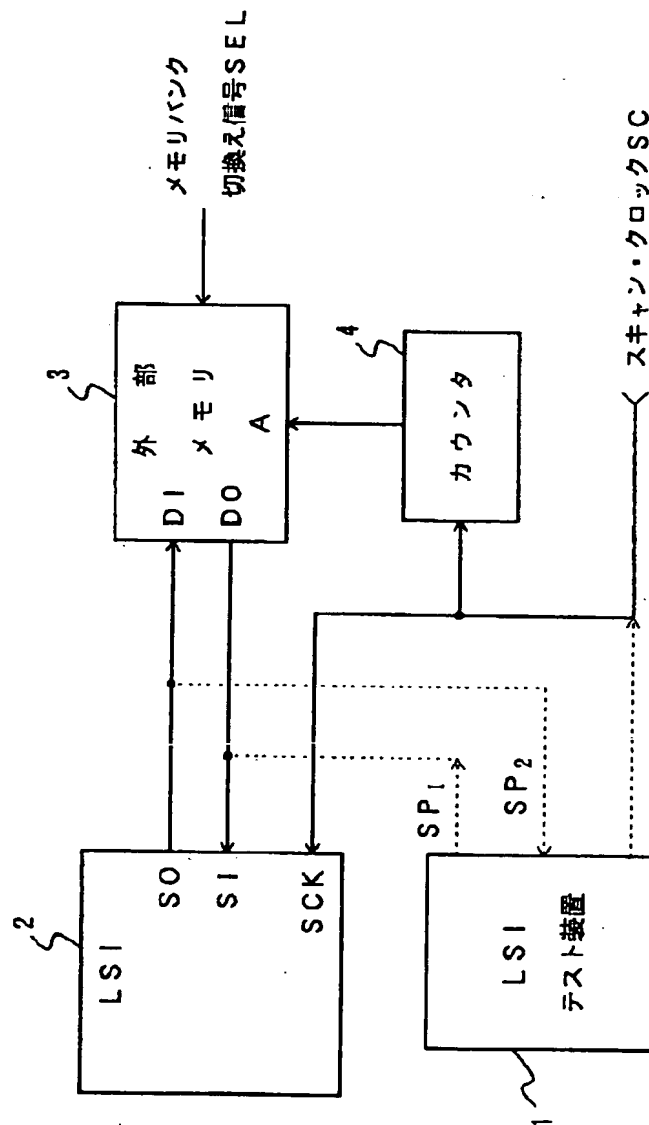
*

*【図8】第6に示すレジスタの動作を説明するための図。

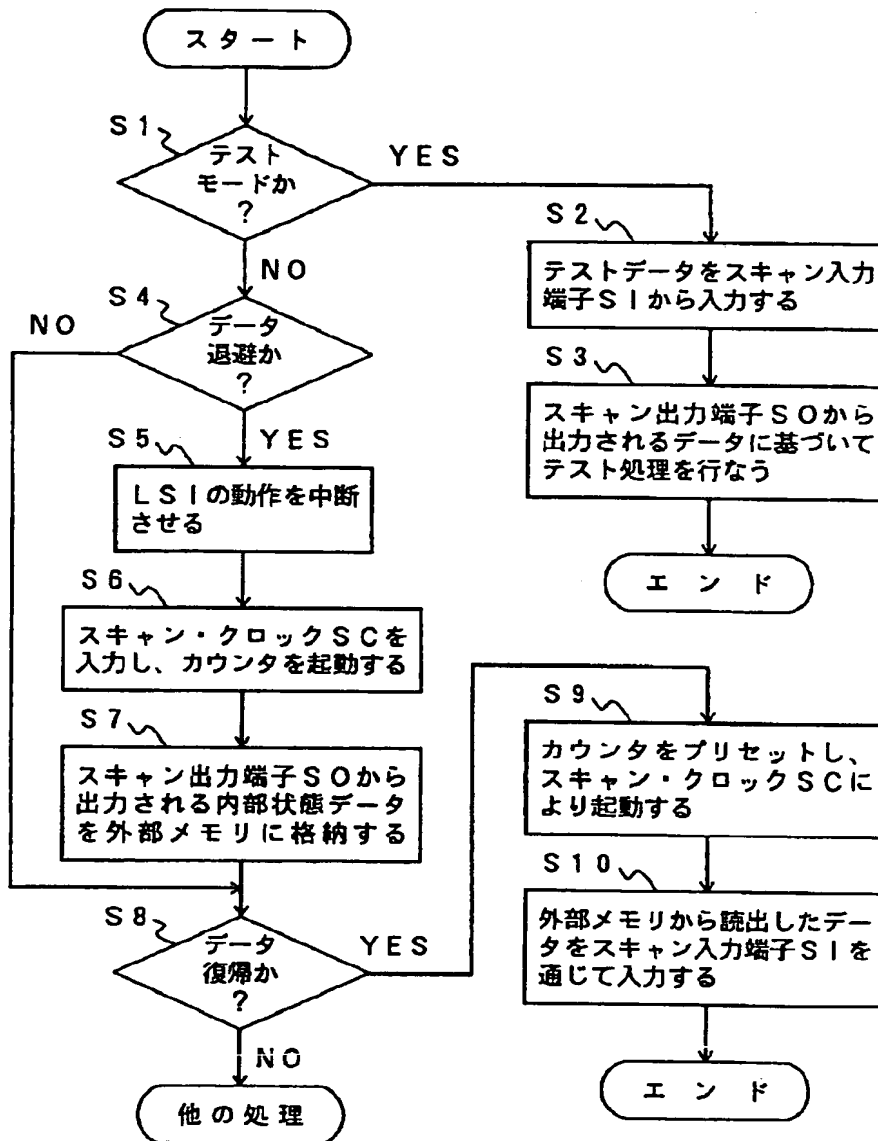
【符号の説明】

2…集積回路（LSI）、3…外部メモリ、4、9…カウンタ、R1～Rn…レジスタ、111…バスインターフェース、112…命令バッファ、113…デコーダ、114…実行ユニット、115…ステートコントローラ、116…インタフェース用信号、121…レジスタ。

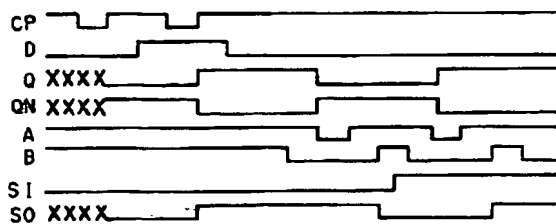
【図1】



【図3】



【図7】

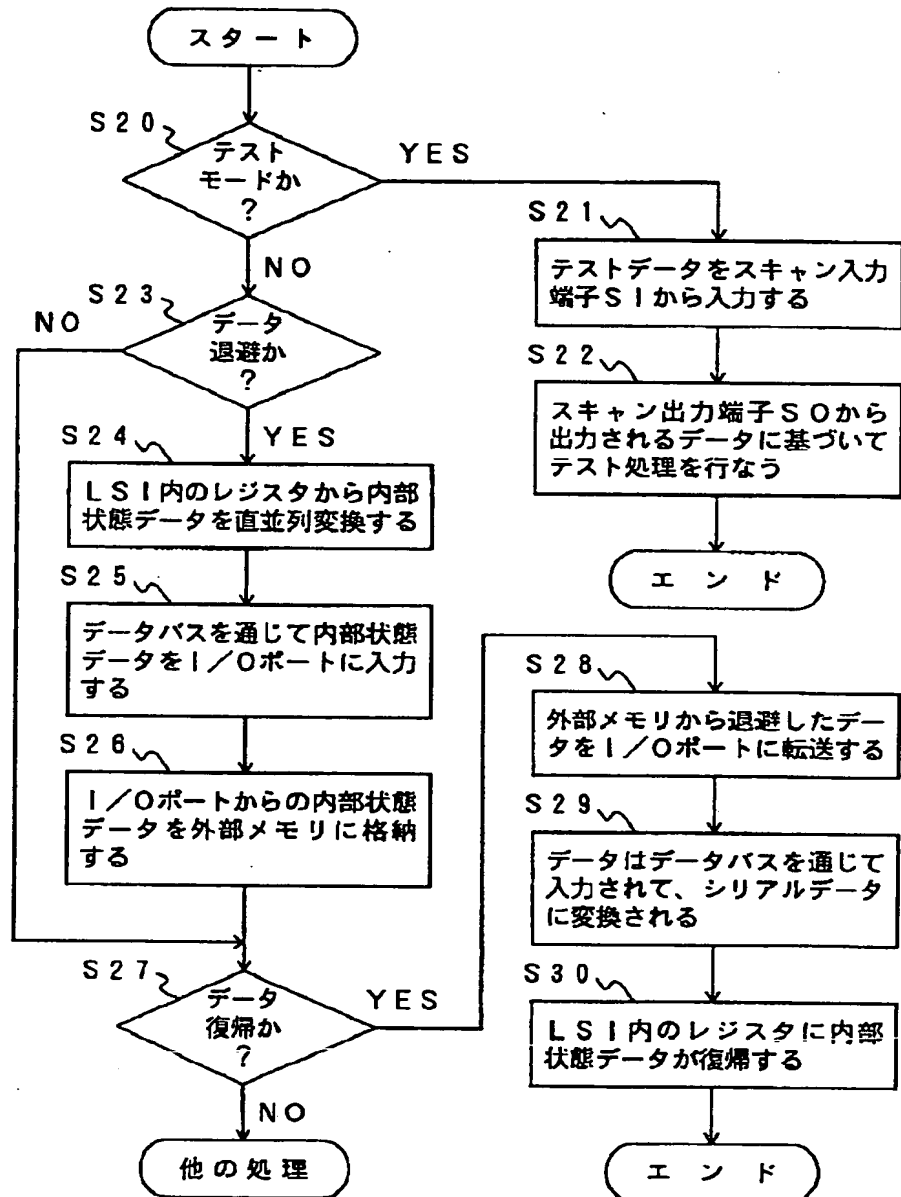


通常動作 ←→ スキャン動作

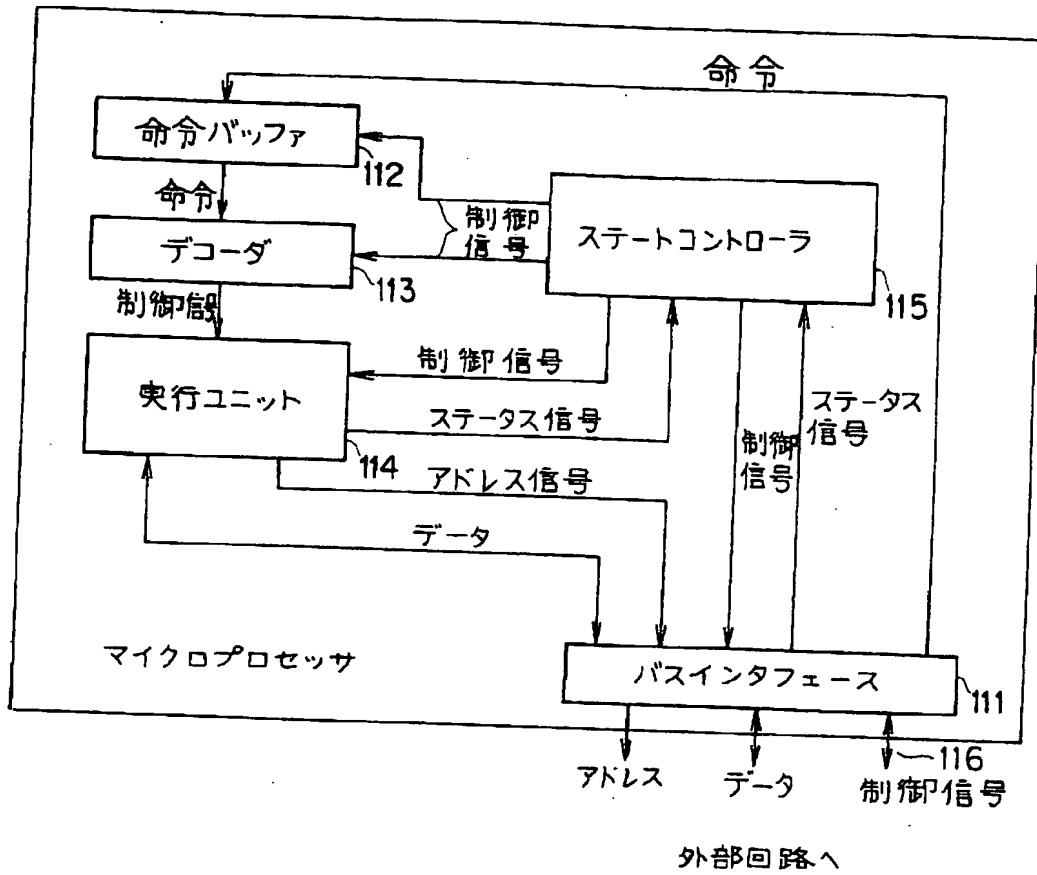
【図8】

C P	D	A	B	S 1	Q	Q N	S 0	動 作
—	L	H	H	X	L	H	L	ライト
—	H	X	H	X	H	Qn	H	ライト保持
H	X	⌋	L	L	L	H	L	スキャンライト
H	X	⌋	L	H	H	L	L	スキャンライト
H	X	H	⌋	X	Qn	QNo	Qn	スキャンシフト

【図4】



【図5】



【図6】

